

(19) BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENTAMT

(12) **Gebrauchsmuster**
(10) **DE 295 12 779 U 1**

(51) Int. Cl. 6:
H 03 L 7/07
// H04L 25/40

(11) Aktenzeichen:	295 12 779.1
(22) Anmeldetag:	8. 8. 95
(47) Eintragungstag:	28. 9. 95
(43) Bekanntmachung im Patentblatt:	9. 11. 95

(73) Inhaber:
Siemens AG, 80333 München, DE

(54) Integrierbare Taktgewinnungsschaltung

DE 295 12 779 U 1

DE 295 12 779 U 1

08-08-95

Beschreibung einer integrierten Schaltung zur Realisierung einer integrierbaren Taktgewinnungsschaltung.

- 5 Die Erfindung betrifft eine Schaltungsanordnung zur Realisierung der Funktion eines spannungsgesteuerten, quarzstabilisierten Oszillators.

Die Schaltungsanordnung sollt sich für analog, digitale und
10 digitalen Datenübertragungsnetzen, wie z.B. in SDH (Synchronous Digital Hierarchy) - Übertragungssystemen werden
zur Sendetaktzeugung PLL (Phase Locked Loop) - Schaltungen
verwendet. Der Phasenregelkreis vergleicht den Füllstand
eines Pufferspeichers mit seinem Sollwert und korrigiert
entsprechend die Sendefrequenz. Die nominale Sendefrequenz
15 liegt fest, sie ist durch die Mittenfrequenz des Phasenregel-
kreises definiert. Die tatsächliche Sendefrequenz wird durch
Ziehen des Phasenregelkreises über seine Steuerspannung
aufgrund der anfallenden Datenmenge bestimmt. Das Signal, das
die Abweichung des Füllstandes des Pufferspeichers vom Soll-
wert angibt, ist durch ein diskretes Signal mit einer im
Vergleich zur Sendefrequenz niedrigen Rate von Zustandswech-
seln gegeben. An sich bekannte, integrierte spannungsgesteu-
erte Oszillatoren VCOs (Voltage Controlled Oscillator) sind
bei dieser Anwendung aufgrund der seltenen Korrektur nicht
einsetzbar, da ihre Kurzzeitstabilität im Hinblick auf die
25 Genauigkeitsanforderungen für synchrone Datennetze bei weitem
nicht ausreicht. Deshalb kommen bei dieser Anwendung übli-
cherweise Schaltungen zum Einsatz, bei denen ein Phasenre-
gelkreis einen spannungsgesteuerten, quarzstabilisierten
30 Oszillator VCXO (Voltage Controlled Xtal (=crystal) Oscilla-
tor) regelt. Diese spannungsgesteuerten, quarzstabilisierten
Oszillatoren benötigen genaue frequenzbestimmende Elemente
zur Stabilisierung. Diese frequenzbestimmenden Elemente, die
durch schmalbandige Filter oder Schwingkreise gegeben sein
35 können und die beispielsweise mit Oberflächenwellen-, Quarz-
oder Keramikfiltern realisiert sein können, sind nicht ohne
weiteres zusammen mit der übrigen Schaltung in einem Baustein

08-08-95 79

08.08.95

integrierbar, so daß die frequenzbestimmenden Elemente außerhalb des Bausteins angeordnet werden müssen, wozu zusätzliche Anschlüsse an dem Baustein vorgesehen werden müssen, zusätzlicher Platzbedarf auf der Baugruppe benötigt wird und ein erhöhter Aufwand bei der Bestückung der Baugruppe notwendig ist.

5

In digitalen Übertragungssystemen, in denen gleichzeitig eine Mehrzahl von Datensignalen, die nicht phasenstarr zueinander sind, gesendet werden sollen, macht sich der Aufwand besonders störend bemerkbar, daß für jedes Datensignal und damit für jede Leitung ein gesonderter Phasenregelkreis mit jeweiligen genaueren frequenzbestimmenden Elementen vorgesehen werden muß.

10

Der Erfindung liegt das Problem zugrunde einer Schaltungsaus-

ordnung zur Realisierung der Funktion eines spannungsgesteu-
erten, quarzstabilisierten Oszillators anzugeben, bei denen

präzise externe oder abzugleichende frequenzbestimmende

Elemente vermieden sind, damit die Schaltung integriert werden kann und die Frequenzstabilität nicht beeinträchtigt wird.

Die wesentlichen Merkmale zur Lösung des Problems sind da-
durch gegeben, daß

- mehrere jeweils eine gesteuerte Verzögerungsleitung (VCD0, VCD1), einen Phasenvergleicher (PVO, PV1) und einen

Schleifenfilter (LFO, LFI) aufweisende Phasenregler (PRO, PRI) vorgesehen sind, die jeweils einen Referenztaktein-

gang (CREF) aufweisen und deren Steuerspannungen (VC0, VC1) in einem Regelbereich zwischen einer oberen (UH) und

einer unteren (UL) Grenze liegen

- stets ein Phasenregler der jeweils ausgewählte Phasenreg-
lier ist für die Taktung der anderen Phasenregler

- der Verzögerungsleitungsausgang des ausgewählten einen
Phasenreglers der Takt signalausgang ist

35 - der ausgewählte in seiner Frequenz nach Maßgabe eines
zugeführten Ansteuersignals beeinflußte Phasenregler einen

Taktsignalgeber bildet

08.08.95 07 79

08.08.95

- jenseits der oberen oder der unteren Grenze des Regelbereiches des gerade ausgewählten Phasenreglers ein jeweili-
ger anderer Phasenregler mit an dieser Grenze gerade nicht
ausgesteuertem Regelbereich der ausgewählte Phasenregler
5 ist.

Der Anmeldungsgegenstand bedarf keiner schwerlich integrier-
barer, präziser frequenzbestimmender Bauelemente, wodurch der
Aufwand für die frequenzbestimmenden Bauelemente selbst, der
10 Aufwand für die ansonsten zusätzlich vorzusehenden Anschlüsse
des integrierten Bausteins, der Aufwand für den Einbauplatz
der frequenzbestimmenden Bauelemente auf der Baugruppe und
der Aufwand für die ansonsten notwendige Bestückung der
Baugruppe mit den frequenzbestimmenden Bauelementen erspart
15 ist. Der Anmeldungsgegenstand ist also in einem integrierten
Baustein vollständig implementierbar. Der Anmeldungsgegen-
stand realisiert die Funktion eines spannungsgesteuerten,
quarzstabilisierten Phasenregelkreises VCXO im Hinblick auf
die Fähigkeit zur Einhaltung der jeweils erforderlichen
20 Frequenz des ausgangsseitig abgegebenen Taktsignals. Bei der
Anmeldungsgemäßen Schaltung kann ein eingangsseitig zugeführ-
tes Taktignal hoher Frequenzkonstanz, das ohnehin lokal
vorhanden ist und das nur annähernd die Frequenz des aus-
gangsseitig abgegebenen Taktsignals aufweisen muß, als Refer-
25 enztaktsignal ausgenutzt sein; in diesem Fall ist das von
der Anmeldungsgemäßen Schaltung abgegebene Taktsignal insge-
samt erheblich stabiler bezüglich der Einhaltung der Fre-
quenz, da das lokale vorhandene Taktignal hoher Frequenzkon-
stantz in der Regel stabiler ist als ein von einem spannungs-
30 gesteuerten Oszillatoren (Voltage Controlled Oszillator)
abgegebenes Taktsignal.
Für mehrere Schaltungseinheiten zur Aussendung jeweils eines
Datensignals kann ein sämtlichen Schaltungseinheiten gemein-
35 same Referenztaktsignal hoher Frequenzkonstanz bereitge-
stellt sein. Durch Verwendung eines Taktphasenwählers ist
die Aussteuerungsfähigkeit des an die Menge der zu sendenden

2000022779

06-06-95

Die Erfindung wird nun als Ausführungsbeispiel in einem zum Verständnis erforderlichen Umfang anhand von Figuren näher beschrieben.

5 Dabei zeigen:

Fig. 1 den Einsatz der erfundungsgemäßen Schaltungsanordnung in einer typischen Schaltungsumgebung, dient ebenfalls zur Veranschaulichung. Einwellenfrequenzgenerator wird mit einem 10

Fig. 2 ein Blockschaltbild der erfundungsgemäßen Schaltung, die nun noch mit den Bezeichnungen A und B für verschiedene Ausführungen beschriftet ist.

Fig. 3 a, b nähere Einzelheiten der Schaltung aus Fig. 2.

Fig. 1 zeigt eine Schaltungsanordnung zur Aussendung eines Datensignales in einem digitalen Übertragungssystem. Das Datensignal ist dem Eingang DIN eines Pufferspeichers PS zugeführt. Zwei Phasenregler PR0, PR1 sind eingangsseitig jeweils eines von zueinander komplementären Referenztaktsignalen CREF_H, CREF_L zugeführt. Die Kontrolleinheit CL wählt einen Phasenregler aus, dessen ausgangsseitig abgegebenes Takt signal CLK0, CLK1 als Takt signal CLKOUT zur Aussendung des Datensignales an dem Ausgang DOUT des Pufferspeichers auf eine Leitung dient. Die Frequenz des von dem ausgewählten Phasenregler abgegebenen Taktsignals wird nach Maßgabe des von dem Pufferspeicher abgegebenen Füllstandssignals VFCONT beeinflusst.

Die Blockschaltung in Fig. 2 weist zwei Phasenregler PR0, PR1 und eine Kontrolleinheit CL (für: Control-Lögic) auf. Den Phasenreglern wird als Eingangssignal ein Referenztaktsignal CREF mit gegebener, in hohem Maße stabiler Frequenz zugeführt. Das Referenztaktsignal kann durch ein lokal ohnehin vorhandenes Takt signal gegeben sein. Den Phasenreglern werden jeweils zueinander komplementäre Referenztaktsignale CREF_H, CREF_L zugeführt. In einem Phasenregler wird das betreffende Referenztaktsignal einer spannungsgesteuerten Verzögerungsleitung VCD0, VCD1 zugeführt. In der Verzögerungsleitung wird

000 2080122 79

08-08-95

das Referenztaktsignal nach Maßgabe einer zugeführten Steuer-
spannung VC0, VC1 verzögert. Das von der Verzögerungsleitung
abgegebene Takt signal und das von der Verzögerungsleitung
eines anderen Phasenreglers abgegebene Takt signal werden
5 einem Phasenvergleicher PV0, PV1 als Eingangssignale zuge-
führt. Der Phasenvergleicher liefert nach Maßgabe der Koinzi-
denz der ihm zugeführten Eingangssignale einen Strom als
Ausgangssignal. Der von dem Phasenvergleicher gelieferte
Strom ist einem ersten Eingang eines gesteuerten Umschalters
10 SW0, SW1 zugeführt. Dem zweiten Eingang sämtlicher gesteu-
ter Umschalter ist der von einem Spannungs-Strom-Umsetzer OTA
(für: Operational Transconductance Amplifier) gelieferte
Strom IFCONT zugeführt. Der nichtinvertierende Eingang des
Spannungs-Strom-Umsetzers ist mit dem mittleren Potential
15 UDD/2 einer nicht näher dargestellten Betriebsspannungsquel-
le, die an ihren beiden Klemmen die Potentiale UDD, DG zur
Verfügung stellt, verbunden. Dem invertierenden Eingang des
Spannungs-Strom-Umsetzers ist ein Spannungssignal VFCONT
zugeführt. Der Spannungs-Strom-Umsetzer setzt das Spannungs-
signal VFCONT in einen entsprechend hohen positiven oder
20 negativen Strom um. Das Spannungssignal VFCONT möge durch ein
diskretes Signal, das die Abweichung des Füllstandes eines
Pufferspeichers vom Sollwert angibt, gegeben sein. Die Rate
der Zustandswechsel des Spannungssignales VFCONT möge klein
25 sein im Vergleich zur Frequenz des Referenztaktsignales. Das
von dem gesteuerten Umschalter ausgangsseitig gelieferte
Signal wird einem Schleifenfilter LFO, LF1 zugeführt. In dem
Schleifenfilter erfährt das zugeführte Signal eine an sich
für Phasenregelkreise (Phase-locked-loop) bekannte Behandlung
30 mit integrierender Wirkung. Im vorliegenden Fall wird in dem
Schleifenfilter ein von dem Phasenvergleicher oder dem
Spannungs-Strom-Umsetzer gelieferter Strom konstanter Höhe in
ein linear ansteigendes Spannungssignal umgesetzt. Das von
dem Schleifenfilter abgegebene Spannungssignal wird einer-
35 seits der Verzögerungsleitung als Steuerspannung VC0, VC1 und
andererseits der Kontrolleinheit über gleichbezeichnete
Anschlüsse zugeführt. Neben dem Ausgangssignal an Klemme VC0,

000 295107 79

06.08.95

VCI führt jeder Phasenregler der Kontrolleinheit an der Klemme CLK0, CLK1 das von der zugehörigen Verzögerungsleitung verzögerte Taktsignal sowie an der Klemme LI0, LI1 ein von dem Phasenvergleicher geliefertes Informationssignal zu.

Dieses Informationssignal ist nach Maßgabe der Phasenabweichung zwischen dem Phasenvergleicher zugeführten Signalen gebildet. Die Kontrolleinheit gibt unter Auswertung der ihr eingangsseitig zugeführten Signale an der Klemme CLKOUT ein Taktsignal ab, das eine niedrigere, die gleiche oder eine höhere Taktfrequenz als das Referenztaktsignal CREF aufweisen kann. Das an der Klemme CLKOUT abgegebene Taktsignal kann also gegenüber dem Referenztaktsignal dauerhaft eine etwas höhere oder eine etwas niedrigere Frequenz aufweisen. Zum Ausgleich der Frequenzdifferenz zwischen dem Referenztaktsignal und dem Taktsignal CLKOUT wird das Referenztaktsignal in einer Verzögerungsleitung zunehmend phasenverschoben. Das an der Klemme CLKOUT abgegebene Taktsignal ist dem Pufferspeicher zugeführt, dessen Inhalt mit der Frequenz des Taktsignales ausgelernt wird.

Durch die Kontrolleinheit wird stets ein Phasenregler ausgewählt, dessen Taktsignal auf die Klemme CLKOUT durchgeschaltet wird. In der Fig 2 ist der Phasenregler PR 1 als der ausgewählte Phasenregler dargestellt. Bei einem ausgewählten Phasenregler ist das Ausgangssignal des Spannungs-Strom-Umsetzers über den gesteuerten Umschalter SW dem zugehörigen Schleifenfilter zugeführt. Die Frequenz des von dem ausgewählten Phasenregler abgegebenen Taktsignales ist also nach Maßgabe des dem Spannungs-Strom-Umsetzer zugeführten Spannungssignales VFCONT gesteuert. In Fig 2 ist der Phasenregler PR 2 als momentan nicht ausgewählter Phasenregler dargestellt. Bei einem nicht ausgewählten Phasenregler ist der Phasenregelkreis über den gesteuerten Umschalter geschlossen, wobei der Phasenregelkreis auf die Frequenz des momentan ausgewählten Phasenreglers einrastet. Die Einrastung des nicht ausgewählten Phasenreglers auf die Frequenz des ausgewählten Phasenreglers ermöglicht eine Umschaltung ohne Pha-

101 295 127 79

06.06.95

sensprung. Da die beiden Phasenregler eingangsseitig mit zueinander komplementären Referenztaktsignalen beaufschlagt sind, weisen der ausgewählte Phasenregler und der nicht ausgewählte Phasenregler im allgemeinen voneinander abweichenende Steuerspannungen VC0, VC1 auf. Infolgedessen ist die Steuerung des Phasenreglers mit dem Phasenvergleich. Die Kontrolleinheit hat die Aufgabe stets einen Phasenregler auszuwählen, der innerhalb seines Regelbereiches arbeitet, und gleichzeitig einen gerade nicht ausgewählten Phasenregler in einer derartigen Einstellung seines Regelbereiches bereitzuhalten, daß er dann übernommen kann, wenn der gerade ausgewählte Phasenregler die Grenze seines Regelbereiches erreicht. Für die Auswahl eines Phasenreglers einerseits und die Bereithaltung eines gerade nicht ausgewählten Phasenreglers im Zustand einer geeigneten Einstellung seines Regelbereichs andererseits wertet die Kontrolleinheit die Steuerspannungen VC0, VC1 für die Verzögerungsleitungen und ergänzend hierzu gegebenenfalls die von den Phasenvergleichern abgegebenen Informationssignale aus. Die Kontrolleinheit weist einen Taktmultiplexer auf, der eines von der Kontrolleinheit an den Klemmen CLK0, CLK1 zugeführten Taktsignalen auf die Klemme CLKOUT durchschaltet. Gerät die Steuerspannung des momentan ausgewählten Phasenreglers an die Grenze seines Regelbereiches, so bewirkt die Kontrolleinheit über das Signal SELOUT eine Umschaltung der gesteuerten Umschalter und des Taktmultiplexers.

Fig. 3 a, b zeigt eine einfache Ausführungsform einer in CMOS (Complementary Metal Oxid Silicium) - Technologie realisierten Schaltungsanordnung auf der Bauteilebene. Die Verzögerungsleitungen sind jeweils mit 16 Verzögerungselementen DE001, ..., DE016, bzw. DE101, ..., DE116 (für Delay Element) gebildet. Jedes Verzögerungselement ist mit einem Inverter gebildet, der ausgangsseitig über einen regelbaren Widerstand mit einer Lastkapazität belastet ist. Die beiden Anschlüsse der Laststrecke des regelbaren Widerstandes sind durch die beiden Hauptelektronen eines ersten N-Kanal Feldeffekttransi-

2009 107 79

08-08-95

stors gegeben, wobei die Steuerelektrode des Feldeffekttransistors mit der Steuerspannung beaufschlagt ist. Die Lastkapazität ist mit der Kapazität zwischen der Steuerelektrode und der Laststrecke eines zweiten N-Kanal-Feldeffekttransistors gebildet, wobei die Steuerelektrode des zweiten Feldeffekttransistors mit der Source-Elektrode des ersten Feldeffekttransistors und die beiden Hauptelektroden des zweiten Feldeffekttransistors mit der das niedrige Potential führenden Klemme DG einer nicht näher dargestellten Betriebsspannungsquelle VDD + DG verbunden sind. Der Ausgang eines Verzögerungselementes ist durch den mit einem gesteuerten Lastkapazität belasteten Ausgang eines Inverters gegeben. Der Ausgang eines Verzögerungselementes ist mit dem Eingang des jeweils nächsten Verzögerungselementes verbunden; der Ausgang des letzten Verzögerungselementes der Verzögerungsleitung ist mit einem Inverter INVR0, INVR1 zur Regeneration der Impulsform verbunden. Die Verzögerungsdauer der Verzögerungsleitung steigt also mit Zunahme der Steuerspannung an. Der Ausgang des Inverters INVR0, INVR1 ist mit dem D-Eingang eines D-Flipflops DFF0, DFF1, das den betreffenden Phasenvergleicher PV0, PV1 bildet, verbunden. Dem Eingang CLK des D-Flipflops ist das von der Verzögerungsleitung T des jeweils anderen Phasenreglers abgegebene Taktignal zugeführt. Mit jeder steigenden Flanke des von dem jeweils anderen Phasenregler abgegebenen Taktsignales wird der augenblickliche Zustand des zugehörigen Taktsignals am Ausgang des D-Flipflops übernommen. Der Ausgang des Phasenvergleichers ist einem Eingang eines gesteuerten Umschalters, der in an sich bekannter Weise mit Transistorschaltern realisiert sein mög, zugeführt. Das Signal am Ausgang des Phasenvergleichers des momentan ausgewählten Phasenregler ist ungenutzt. Der Ausgangsstrom des Phasenvergleichers des momentan nicht ausgewählten Phasenreglers ist über den zugehörigen gesteuerten Umschalter dem mit einem Kondensator C0, C1 gebildeten Schleifenfilter zugeführt und wird dort integriert. Die Spannung über dem Kondensator C0, C1 ist sämtlichen Verzögerungselementen der zugehörigen Verzögerungsleitung zugeführt. Anstelle des Kondensators C0,

295 000 79

08.08.95

9

C1, können andere, z.B. aus R. Best "Theorie und Anwendung des Phase-locked Loops", AT Verlag Aarau, Stuttgart ISBN 3-85502-123-6 bekannte Schleifenfilter zum Einsatz kommen. Bei dem momentan nicht ausgewählten Phasenregler bilden die Verzögerungsleitung, der Phasenvergleicher und der Schleifenfilter über den gesteuerten Umschalter einen geschlossenen Regelkreis, wobei der Phasenvergleicher so regelt, daß an seinem Eingang die steigenden Flanken des Taktsignales CLK0 und des Taktsignales CLK1 zeitgleich sind.

10

Für jeden Phasenregler wird die Steuerspannung daraufhin überwacht, ob sie einen Wert oberhalb oder unterhalb einer hohen Spannung UH, einer mittleren Spannung UM bzw. einer niedrigen Spannung UL aufweist. Ein mit 4 Widerständen R1, R2, R3 und R4 gebildeter Spannungsteiler ist mit den beiden Klemmen der Betriebsspannungsquelle VDD - DG verbunden. Der Spannungsteiler stellt die hohe Spannung UH, die mittlere Spannung UM und die niedrige Spannung UL bereit. Jedem Phasenregler sind 3 Differenzverstärker OP01, OP02, OP03, OP11, OP12, OP13 zugeordnet. Die Differenzverstärker OP01 und OP11 sind an ihrem nichtinvertierenden Eingang (+) mit der hohen Spannung UH und an ihrem invertierenden Eingang (-) mit der zugehörigen Steuerspannung VC0, VC1 beaufschlagt. Die Differenzverstärker OP02 und OP12 sind an ihrem invertierenden Eingang (-) mit der mittleren Spannung UM und an ihrem nichtinvertierenden Eingang (+) mit der zugehörigen Steuerspannung VC0, VC1 beaufschlagt. Die Differenzverstärker OP03 und OP13 sind an ihrem invertierenden Eingang (-) mit der niedrigen Spannung UL und an ihrem nichtinvertierenden Eingang (+) mit der zugehörigen Steuerspannung VC0, VC1 beaufschlagt. Die von den Differenzverstärkern OP01 und OP03 bzw. OP11 und OP13 abgegebenen Ausgangssignale H0, L0 bzw. H1, L1 sind den Eingängen eines die logische NAND-Funktion realisierenden Nand-Gatters NAND0, bzw. NAND1 zugeführt. Die Differenzverstärker OP01 und OP03 bzw. OP11 und OP13 bilden gemeinsam mit dem Nand-Gatter NAND0, bzw. NAND1 einen Fensterkomparator, wobei das Nand-Gatter NAND0, bzw. NAND1 an seinem

29512779

08-08-95

: 10 .

Ausgang dann ein Signal IN0, IN1 mit niedrigem Pegel (LOW) abgibt, wenn die Steuerspannung niedriger als die hohe Spannung UH und höher als die niedrige Spannung UL ist. Ein Signal IN0, IN1 mit niedrigem Pegel (LOW) gibt also an, daß der zugehörige Phasenregler einen Zustand innerhalb seines Regelbereiches innehat, wohingegen ein Signal IN0, IN1 mit hohem Pegel (HIGH) angibt, daß der zugehörige Phasenregler einen Zustand außerhalb seines Regelbereiches eingenommen hat. Die Spannung UH und die Spannung UL bilden also die Grenzen eines definierten Regelbereiches.

Die von den Fensterkomparatoren abgegebenen Signale IN0 und IN1 sind einer Auswahleinrichtung AUS zugeführt. Die Auswahleinrichtung wählt für den Fall, daß ein Verlassen des Regelbereiches des gerade ausgewählten Phasenreglers durch das zugehörige Signal IN0, IN1 mit hohem Pegel (HIGH) angezeigt wird, einen anderen Phasenregler aus, der einen Zustand innerhalb seines Regelbereiches eingenommen hat. Die Auswahleinrichtung im Ausführungsbeispiel ist mit zwei die logische NOR-Funktion realisierenden NOR-Gattern gebildet, die in an sich bekannter Weise zu einem RS-Flipflop verschaltet sind. Die Auswahleinrichtung vermag also an ihren Ausgängen SEL0, SEL1 (für: SELECT) die Zustände eines RS-Flipflops einzunehmen.

Ein Taktmultiplexer TMUX wird nach Maßgabe des Signalzustandes am Ausgang SEL0 der Auswahleinrichtung gesteuert. Der Taktmultiplexer ist mit zwei die logische UND-Funktion realisierenden UND-Gattern gebildet, deren Ausgänge über ein die logische NOR-Funktion realisierendes NOR-Gatter verknüpft sind. Den UND-Gattern sind jeweils einerseits die Taktsignale CLK0, CLK1 und andererseits der Signalzustand am Ausgang SEL0 der Auswahleinrichtung bzw. der über einen Inverter INVIM invertierte Zustand dieses Signalzustandes zugeführt. Der Taktmultiplexer schaltet also bei einem hohen Signalzustand am Ausgang SEL0 der Auswahleinrichtung das Taktignal CLK0 in invertierter Form auf die Klemme CLKOUT der Kontrollleinheit

2008 8 20 79

06.06.95

11

durch, wohingegen, bei einem niedrigen Signalzustand am Ausgang SEL0 der Auswahleinrichtung, das Taktsignal CLK1 in invertierter Form auf die Klemme CLKOUT durchgeschaltet wird.

- 5 Für jeden Phasenregler ist eine Serienschaltung von 3 aneinander gereihten P-Kanal-Feldeffekttransistoren TP01, TP02, TP03 bzw. TP11, TP12, TP13 und 3 aneinander gereihten N-Kanal-Feldeffekttransistoren TN01, TN02, TN03 bzw. TN11, TN12, TN13 gegeben. Die Source-Elektrode des außenliegenden P-Kanal-Feldeffekttransistors TP01 bzw. TP11 ist mit der das hohe Potential führenden Klemme VDD und die Source-Elektrode des außenliegenden N-Kanal-Feldeffekttransistors TN03 bzw. TN13 ist mit der das niedrige Potential führenden Klemme DG der Betriebsspannungsquelle verbunden. Die Mittenanzapfung der Serienschaltung ist mit der zugehörigen Steuerspannung VC0, VC1 verbunden.

Der Differenzverstärker OP02 bzw. OP12 gibt an seinem Ausgang ein Signal mit hohem Pegel (HIGH) ab, wenn die zugehörige Steuerspannung höher ist als die mittlere Spannung UM. Der Ausgang des Differenzverstärkers OP02 bzw. OP12 ist mit den Steuerelektroden der Feldeffekttransistoren TP03 und TN01 bzw. TP13 und TN11 der zugehörigen Serienschaltung sowie mit den Steuerelektroden der Feldeffekttransistoren TP11 und TN13 bzw. TP01 und TN03 der einem jeweiligen anderen Phasenregler zugehörigen Serienschaltung verbunden. Der Ausgang SEL0 der Auswahleinrichtung ist mit den Steuerelektroden der Feldefekttransistoren TP02 und TN12 verbunden. Der Ausgang SEL1 der Auswahleinrichtung ist mit den Steuerelektroden der Feldeffekttransistoren TN02 und TP12 verbunden. Ist nun der Phasenregler PR0 durch ein Signal mit hohem Pegel am Ausgang SEL0 der Auswahleinrichtung gerade ausgewählt, so sind die Feldeffekttransistoren TP02 und TN02 gesperrt und die Feldefekttransistoren TP12 und TN12 leitend geschaltet. Die Serienschaltung des gerade ausgewählten Phasenreglers ist also gesperrt, womit sie keinen Einfluß auf die zugehörige Steuerspannung hat. Die Serienschaltung eines gerade nicht ausge-

2095100179

06.08.95

12

wählten Phasenreglers wird in der Weise leitend geschaltet, daß die Höhe der Steuerspannung dieses Phasenreglers in Richtung auf die bezüglich der mittleren Spannung UM jeweils andere Seite des Regelbereiches beeinflußt wird wie die Seite des Regelbereiches, in den die augenblickliche Höhe der Steuerspannung des gerade ausgewählten Phasenreglers fällt. Diese Beeinflussung geht so weit, bis die Steuerspannung die mittlere Spannung überschritten hat und durch eine Zustandsänderung am Ausgang des Differenzverstärkers OP02, bzw. OP12 des 10 ausgeread nicht ausgewählten Phasenreglers die zugehörige Serienschaltung für eine weitere Beeinflussung der Steuerspannung gesperrt wird. Weist die Steuerspannung eines gerade nicht ausgewählten Phasenreglers eine Höhe auf, die bereits in die bezüglich der mittleren Spannung UM jeweils andere Seite des 15 Regelbereiches fällt wie die Seite des Regelbereiches, in die die augenblickliche Höhe der Steuerspannung des gerade ausgewählten Phasenreglers fällt, so bleibt die Serienschaltung des gerade nicht ausgewählten Phasenreglers gesperrt, womit die zugehörige Steuerspannung nicht beeinflußt wird.

20 Die Kontrolleinheit erzwingt also, daß die Steuerspannung eines momentan nicht ausgewählten Phasenreglers in einem bezüglich der mittleren Spannung diametralen Arbeitsbereich zu dem Arbeitsbereich des gerade ausgewählten Phasenreglers gehalten wird, sodaß der momentan nicht ausgewählte Phasenregler nur in diesem Zustand einrasten kann.

25 Für den Fall, daß die Steuerspannungen sämtlicher Phasenregler einen Zustand außerhalb ihres Regelbereiches eingenommen haben, weisen sämtliche der Auswahlseinrichtung zugeführte Signale IN0, IN1 einen hohen Pegel (HIGH) auf, wodurch die Auswahlseinrichtung an ihren Ausgängen SEL0, SEL1 einen niedrigen Pegel (LOW) einnimmt. Dies wird von einem die logische NOR-Funktion realisierenden NOR-Gatter ausgewertet und an der 30 Klemme **ALARM** durch ein Signal mit hohem Pegel (HIGH) angezeigt. An diese Klemme ist eine Meldeanlage angeschlossen, welche über eine Lautsprecheranlage eine Warnung abgibt.

35

2008127779

06-08-95

Der Einfluß von Störungen an den Klemmen der Betriebsspannungsquelle ist umso geringer, je kürzer die Verzögerungszeit in einer Verzögerungsleitung ist. In einer bevorzugten Ausführungsform sind die Phasenregler in zwei Gruppen aufgeteilt, wobei den Gruppen jeweils zueinander komplementäre Referenztaktsignale zugeführt sind. Diese Maßnahme bringt neben einer Verringerung des Einflusses von durch Störungen an den Klemmen der Betriebsspannungsquelle verursachten Störungen eine Einsetzbarkeit von kürzeren und damit aufwandsärmeren Verzögerungsleitungen mit sich. Die Verzögerungsleitung ist dann so ausgelegt, daß sie nur eine halbe Periode des Taktsignales auzugleichen braucht und vermag.

06.06.95

14

Schutzansprüche:

1. Schaltungsanordnung zur Realisierung der Funktion eines spannungsgesteuerten, quarzstabilisierten Oszillators, der durch ein Ansteuersignal (VFCONT) mit einer niedrigen Rate von Zustandswechseln ansteuerbar ist und der ein Taktsignal (CLKOUT) abzugeben vermag, bei der Schaltungsumgebung werden zumindest mehrere jeweils einzigesteuerte Verzögerungsleitung (VCD0, VCD1, VCDR), einen Phasenvergleicher (PV0, PV1) und einen Schleifenfilter (LFO, LFI) aufweisende Phasenregler (PRO, PR1) vorgesehen sind, die jeweils einen Referenztakteingang (CREF) aufweisen und deren Steuerspannungen (VC0, VC1) in einem Regelbereich zwischen einer oberen (UH) und einer unteren (UL) Grenze liegen

- 15 - stets ein Phasenregler der jeweils ausgewählte Phasenregler ist
- der Verzögerungsleitungsausgang des ausgewählten einen Phasenreglers der Takt signalausgang ist
- der ausgewählte, in seiner Frequenz nach Maßgabe eines zugeführten Ansteuersignals beeinflußte Phasenregler einen Takt signalgeber bildet
- jenseits der oberen oder der unteren Grenze des Regelbereiches des gerade ausgewählten Phasenreglers ein jeweili ger anderer Phasenregler mit an dieser Grenze gerade nicht ausgesteuertem Regelbereich der ausgewählte Phasenregler ist.

2. Schaltungsanordnung nach Anspruch 1,
gekennzeichnet durch

- 30 einen gerade nicht ausgewählten Phasenregler, der im eingerasteten Zustand einer Aussteuerung auf der jeweils anderen Seite bezüglich der Mitte des Regelbereiches wie der gerade ausgewählte Phasenregler bereitgehalten ist.

35 3. Schaltungsanordnung nach Anspruch 1 oder 2,
gekennzeichnet durch

001295122779

06-06-95

15

in zwei Gruppen eingeteilte Phasenregler, wobei die Eingänge der Verzögerungsleitungen der Phasenregler gruppenindividuell mit einem von zueinander komplementären Referenztaktsignalen (CREF_H, CREF_L) beaufschlagt sind.

5

4. Schaltungsanordnung nach einem der Ansprüche 1 bis 3, dadurch gekennzeichnet, daß dem Eingang der Schaltungsanordnung ein lokal vorhandenes Taktsignal hoher Frequenzkonstanz als Referenztaktsignal zugeführt ist.

10

5. Schaltungsanordnung nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die Schaltungsanordnung vollständig in einem eine integrierte Schaltung aufweisenden Baustein integriert ist.

15

6. Schaltungsanordnung nach Anspruch 5, dadurch gekennzeichnet, daß mehrere Schaltungsanordnungen zur Realisierung der Funktion eines spannungsgesteuerten, quarzstabilisierten Oszillators in dem Baustein integriert sind.

7. Schaltungsanordnung nach einem der Ansprüche 1 bis 6, dadurch gekennzeichnet, daß der Phasenregelkreis eines momentan nicht ausgewählten Phasenreglers geschlossen ist und dessen Phasenvergleicher mit dem Ausgang der zugehörigen Verzögerungsleitung und dem Ausgang der Verzögerungsleitung des momentan ausgewählten Phasenreglers verbunden ist.

30

8. Schaltungsanordnung nach einem der Ansprüche 1 bis 7, gekennzeichnet, durch eine Alarmeinrichtung, die aktivschaltbar ist, wenn die Steuerspannungen sämtlicher Phasenregler jenseits der Grenzen des Regelbereiches liegen.

35

PT 20061227 79

95 61741

94 E 1909

06-06-95

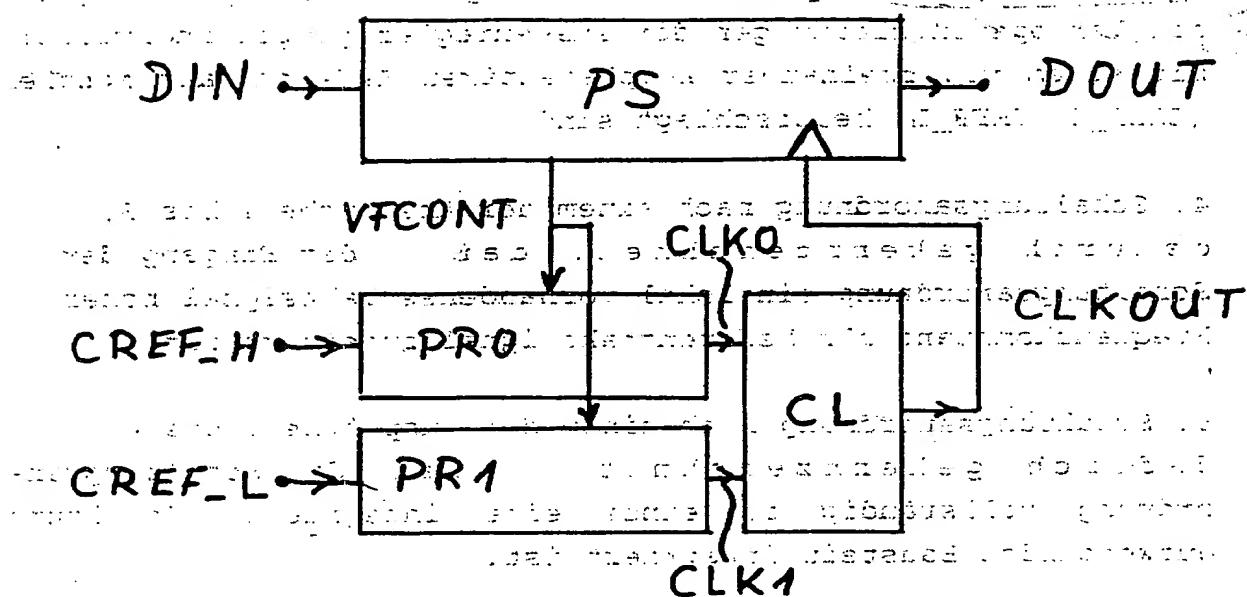


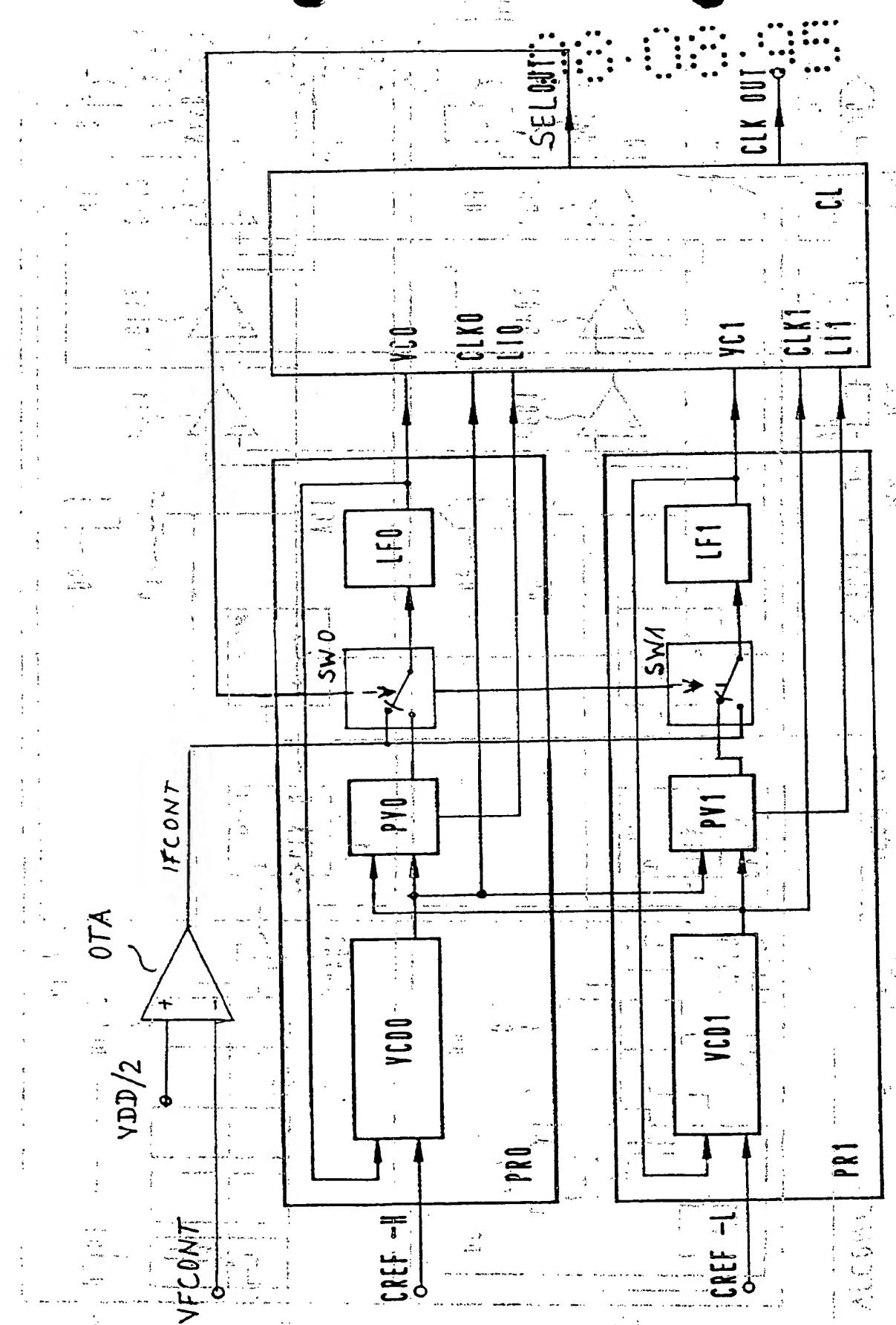
FIG 1. Block diagram of a digital-to-analog converter. The circuit consists of a programmable sample (PS) block, a clock generator (CLKOUT), a clock distribution block (CL), a programmable reference (PR1) block, and a programmable oscillator (PRO). The PS block receives digital input (DIN) and generates digital output (DOUT). The PS block also receives a clock signal (CLK0) from the CLKOUT block. The CLKOUT block receives a clock signal (CLK1) from the CL block. The CL block receives a signal from the PR1 block. The PR1 block receives two reference signals (CREF_H and CREF_L) and generates a signal to the PRO block. The PRO block generates a signal to the PS block. A VFCONT block provides control signals to both the PS and PR1 blocks.

The circuit is designed to provide high resolution digital-to-analog conversion. The PS block uses a digital-to-analog converter based on a current-steering architecture. The clock generator (CLKOUT) provides a stable clock source for the PS block. The clock distribution block (CL) ensures that the clock signal is distributed evenly to all components. The programmable reference (PR1) block provides a flexible reference voltage for the PS block. The programmable oscillator (PRO) block provides a local oscillator for the PS block. The VFCONT block provides control signals to both the PS and PR1 blocks.

The circuit is designed to provide high resolution digital-to-analog conversion. The PS block uses a digital-to-analog converter based on a current-steering architecture. The clock generator (CLKOUT) provides a stable clock source for the PS block. The clock distribution block (CL) ensures that the clock signal is distributed evenly to all components. The programmable reference (PR1) block provides a flexible reference voltage for the PS block. The programmable oscillator (PRO) block provides a local oscillator for the PS block. The VFCONT block provides control signals to both the PS and PR1 blocks.

04 298187 79

94E 1909



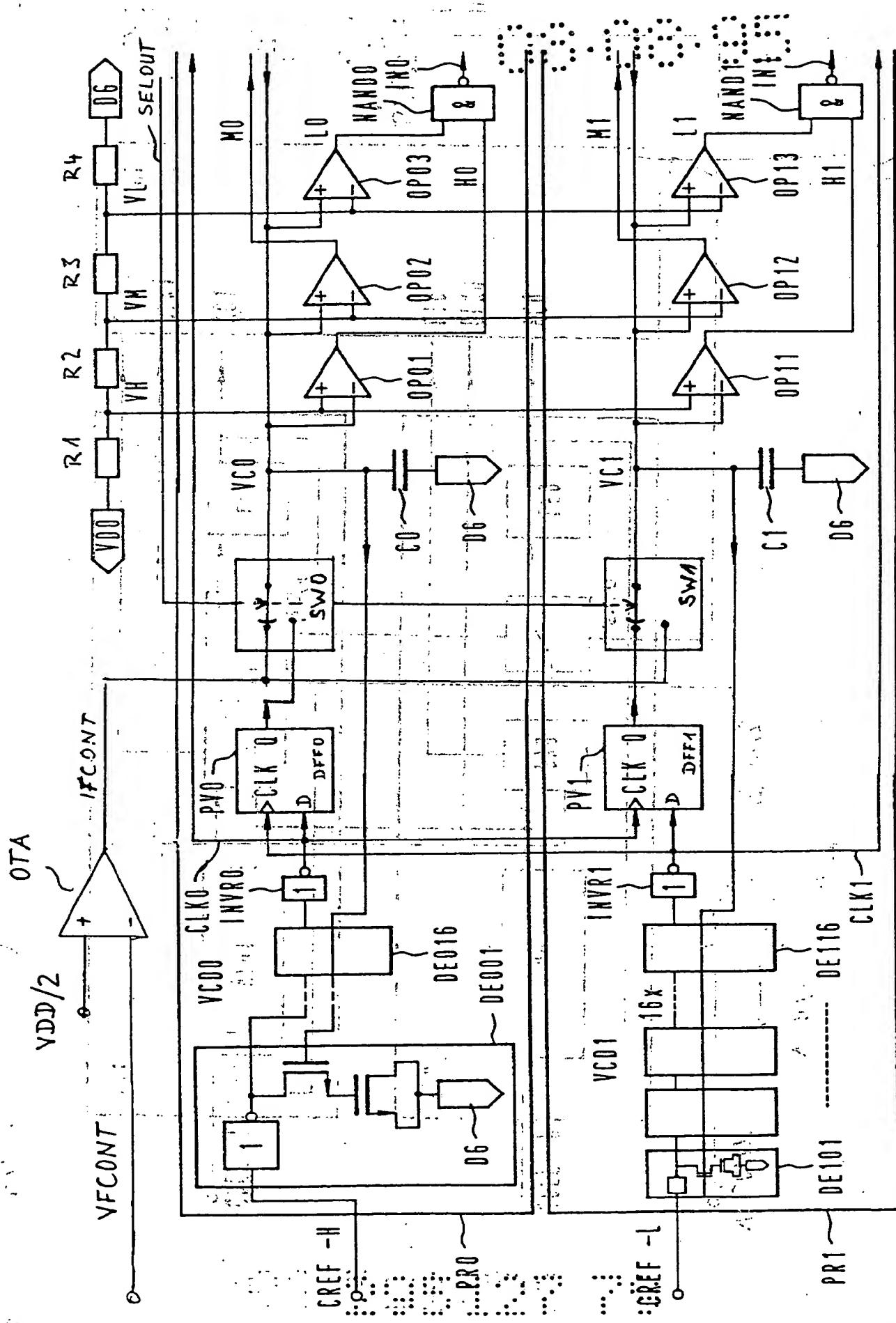
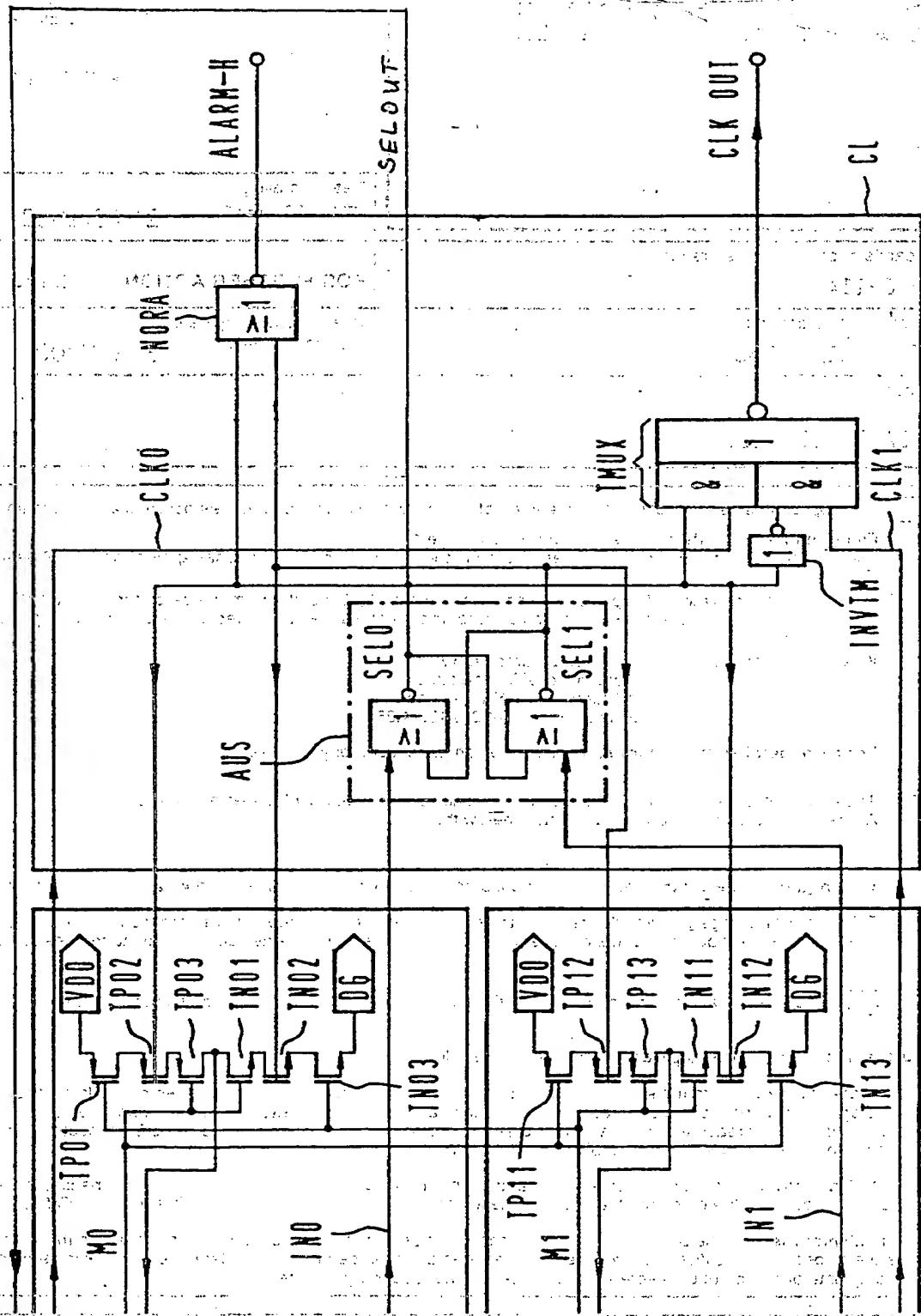


FIG 3 a

94 E 1909-

08-08-95



29512779

F 14719 96

FIG 3b